

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)  

L1: Entry 4 of 10

File: JPAB

Mar 5, 1992

PUB-NO: JP404069979A

DOCUMENT-IDENTIFIER: JP 04069979 A

TITLE: MANUFACTURE OF ACTIVE MATRIX SUBSTRATE

PUBN-DATE: March 5, 1992

## INVENTOR-INFORMATION:

NAME	COUNTRY
YORITOMI, YOSHIFUMI	
KOSHIMO, TOSHIYUKI	
TAKANO, TAKAO	
NAKATANI, MITSUO	
TANIGUCHI, HIDEAKI	

US-CL-CURRENT: 257/59

INT-CL (IPC): H01L 29/784; H01L 21/3205; H01L 27/12; H01L 29/40

## ABSTRACT:

PURPOSE: To prevent a short-circuit of a signal line to a pixel electrode due to etching residue of a transparent conductive film by forming the line and the electrode, and then dipping them in alkaline solution to reduce and remove an ITO film.

CONSTITUTION: An Al film and a Cr film are etched, and a drain electrode 5, a source electrode 6 and a signal line of a thin film transistor are formed. In order to form a pixel electrode of an active matrix, a transparent conductive film 70 made of tin oxide and indium oxide, i.e., an ITO film is formed. (f). Then, a resist 31 is coated, exposed, developed, and the film 70 is etched. It is dipped in developer of positive type resist. That is, when the film 70 is electrically connected to an Al film 22 and both are dipped in alkaline solution, the Al film is oxidized, and the ITO film is reduced. Thus, the ITO film of the etching residue for short-circuiting between a pixel electrode 7 and the signal line is reduced and removed.

COPYRIGHT: (C)1992, JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[Generate Collection](#)[Print](#)

L1: Entry 9 of 10

File: DWPI

Mar 5, 1992

DERWENT-ACC-NO: 1992-127470

DERWENT-WEEK: 199216

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Active matrix substrate mfr. for liq. crystal display, etc. - removes etching remains of indium tin oxide to generate short between picture element electrode and signal line regardless of film quality NoAbstract Dwg 1/4

PRIORITY-DATA: 1990JP-0181429 (July 11, 1990)

[Search Selected](#)[Search ALL](#)[Clear](#)

## PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

 [JP 04069979 A](#)

March 5, 1992

004

INT-CL (IPC): H01L 29/78

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平4-69979

⑫ Int. Cl. 5  
H 01 L 29/784

識別記号

序内整理番号

⑬ 公開 平成4年(1992)3月5日

9056-4M H 01 L 29/78  
6810-4M 21/88 3 1 1 A  
C※

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 アクティブマトリクス基板の製造方法

⑮ 特願 平2-181429

⑯ 出願 平2(1990)7月11日

⑰ 発明者 頼 富 美 文 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰ 発明者 小 下 敏 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰ 発明者 高 野 隆 男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰ 発明者 中 谷 光 雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1 発明の名称

アクティブマトリクス基板の製造方法

2 請求の範囲

1. 絶縁性基板上に形成されたゲート電極と、前記ゲート電極を覆うように形成されたケート絶縁膜と、前記ゲート絶縁膜上に前記ゲート電極に対向して形成された半導体膜と、前記半導体膜上に形成されたドレイン電極及びソース電極とからなる薄膜トランジスタをスイッチング素子とし、前記各薄膜トランジスタの前記ケート電極を走査線に、前記ドレイン電極を信号線に、前記ソース電極を面素電極にそれぞれ接続したアクティブマトリクスにおいて、

前記ソース電極、前記ドレイン電極、前記信号線及び前記面素電極を形成後にアルカリ性浴液中に没して、前記面素電極と信号線間を短絡させて残った面素電極膜のエッチング残りを除去することを特徴とするアクティブマトリクス基板の製造方法。

3 発明の詳細な説明

【産業上の利用分野】

本発明は、液晶表示装置等の平面ディスプレイに用いられるアクティブマトリクスの製造方法に関する。

【従来の技術】

液晶表示装置用アクティブマトリクスに用いられる薄膜トランジスタの例は、Japan Display '89 p510-513に示されるようなものがあり、一画面分の平面膜を第2図に、その薄膜トランジスタ部の断面図を第3図に、その製造工程を第4図に示す。

図において、ガラス基板等の絶縁性基板1上に、クロム(Cr)等の金属膜からなるゲート電極2とシリコン塗化膜等からなるゲート絶縁膜3と、非晶質シリコン膜等からなる半導体膜4と、クロムやアルミニウム(Al)等の金属膜からなるドレイン電極5及びソース電極6と、酸化インジウムと酸化錫による透明導電膜からなる面素電極7と、シリコン塗化膜等からなる保護膜8が、順次、形

成されている。アクティブマトリクスでは、ゲート電極2は走査線に、ドレイン電極5は信号線10に、ソース電極6は液晶セルの一方の電極となる画素電極7に、それぞれ接続されている。

この構成で、一般に、画素電極には酸化インジウムと酸化銀の透明導電膜が用いられ、信号線やドレイン電極、ソース電極には、配線の低抵抗化が容易なアルミニウム膜が用いられている。これらの膜の成膜温度は、前に形成している半導体膜にダメージを与えないために、一般に、200°C以下にされている。また、これら電極や配線の微細加工には有機溶剤が不要で取扱いが容易なシリコンレジストが用いられている。

#### 〔発明が解決しようとする課題〕

上記従来技術は、アクティブマトリクスの電極や配線に用いる金属薄膜のエッチング性について考慮されていない。とくに、透明導電膜は低圧で成膜した場合、膜質が不均一になりやすい。また、透明導電膜のエッチング液は半導体膜や配線膜にダメージを与えるような強度のエッチング性をも

つものは用いることができないため、どうしても透明導電膜のエッティング残りが生じやすい。この透明導電膜のエッティング残りによって、透明導電膜と信号線が短絡すると、正常に画素の信号を制御できず、アクティブマトリクス基板は不良品となる。このため、アクティブマトリクス基板の製造歩留りが悪くなるという問題があった。

本発明の目的は、透明導電膜のエッティング残りによる信号線と画素電極の短絡を防ぎ、製造歩留りの高いアクティブマトリクス基板の製造方法を提供することにある。

#### 〔課題を解決するための手段〕

透明導電膜のエッティング残りによる信号線と画素電極の短絡を防止するために、本発明は透明導電膜の膜質を均一でエッティングが容易な膜にするか、透明導電膜のエッティング液に強度のものを用いることが考えられるが、前述のような条件下では難しい。そこで、透明導電膜の膜質が変化しても、信号線及び画素電極形成後に、アルカリ性溶液に浸漬してITO膜を還元、除去するようにし

た。

#### 〔作用〕

信号線のアルミニウム膜と透明導電膜のITO膜を、電気的に接続して、アルカリ性溶液中に浸漬すると、両者の間で酸化還元反応が起こる。これを利用し、透明導電膜を還元、除去することにした。この方法では、透明導電膜の膜質が変化しても、アルミニウム膜とITO膜が電気的に接続され、アルカリ性溶液中に浸漬されているかぎり、酸化還元反応が起るため、ITO膜を還元、除去することができる。

#### 〔実施例〕

本発明の実施例を第1図により説明する。第1図は、本発明を実施したアクティブマトリクスの薄膜トランジスタ部の断面構造を製造工程順に示したものである。

(1) 透明ガラス基板等の絶縁性基板1上に、クロム等の金属膜をスパッタリング法により成膜する。次いで、通常のホトエッティング工程により、ゲート電極2のパターンを形成する。(a)。

(2) ブラズマCVD法により、ゲート絶縁膜や層間絶縁膜として用いるシリコン窒化膜(Silicon nitride)からなるゲート絶縁膜3と、半導体膜及び層間絶縁膜として用いる非晶質シリコン膜(a-morphous Silicon, 以下a-Si膜と呼ぶ)と、電極部コンタクトとして用いるリン(P)をドーピングしたa-Si膜(n-type a-Si膜, 以下n+a-Si膜と呼ぶ、図示せず)とを反応室の真空を破ることなく、順次、連続成膜する。(b)。

(3) 通常のホトリソグラフィ工程とドライエッティングにより、a-Si膜を素子分離し、半導体膜4のアイランドを形成する。(c)。

(4) ドレイン電極、ソース電極及び信号線として用いるCr膜21及びAl膜22をスパッタリング法により、順次、成膜する。(d)。

(5) 通常のホトエッティング工程により、Al膜とCr膜のエッティングを行い、薄膜トランジスタのドレイン電極5とソース電極6及び信号線(図示せず)を形成する。

次いで、薄膜トランジスタのチャネル上のn+a

- Si 膜をドライエッティング等で除去し、薄膜トランジスタを得る。(a)。

(6) アクティブマトリクスの画素電極を形成するため、酸化スメと酸化インジウムからなる透明導電膜ITO (Indium Tin Oxide, 以下ITO膜と呼ぶ) をスパッタリング法で成長する。(f)。

(7) 通常のホトエッティング工程により、レジスト31を塗布、露光、現像、ITO膜70のエッティングを行う。この時、ITO膜70のエッティングが良好に行われずエッティング残り71が生じ、画素電極と信号線の間(図では画素電極7とドレイン電極5の間)、本実施例では信号線の一部をドレイン電極として利用している(g-3)で短絡したことを考慮し、ポジ型レジストの現像液に二分間浸漬する。本工程において、ITO膜とAL膜を電気的に接続して、アルカリ性浴液中に両者を浸漬するとAL膜では酸化反応が起り、ITO膜では還元反応が起こる。このため、画素電極7と信号線の間で短絡を生じさせていたエッティング残りのITO膜は還元、除去される。この後、レジ

ストの除去を行い、画素電極7のパターンを得る。(g)。

(8) シリコン酸化膜等による薄膜トランジスタの保護膜8を形成し、アクティブマトリクス基板が完成する。(h)。

本実施例では、ITO膜のエッティング残りを除去するために、室温下でポジ型レジストの現像液に二分間浸漬したが、溶液はpHが12以上のアルカリ性浴液、時間は数十秒以上であればよい効果をより明確にするためには、ITO膜に対しAL膜の表面積を大きくする方が良い。

また、本実施例ではITO膜のエッティング残りの除去工程とレジスト除去工程を別々にしたが、ITO膜のエッティング用レジストの現像後、レジスト全面を露光することにより、ITO膜のエッティング残りの除去工程とレジスト除去工程を同時にすることもできる。

#### 〔発明の効果〕

本発明によれば、ITO膜の膜質にかかわらず、画素電極と信号線間の短絡を生じさせてAL膜

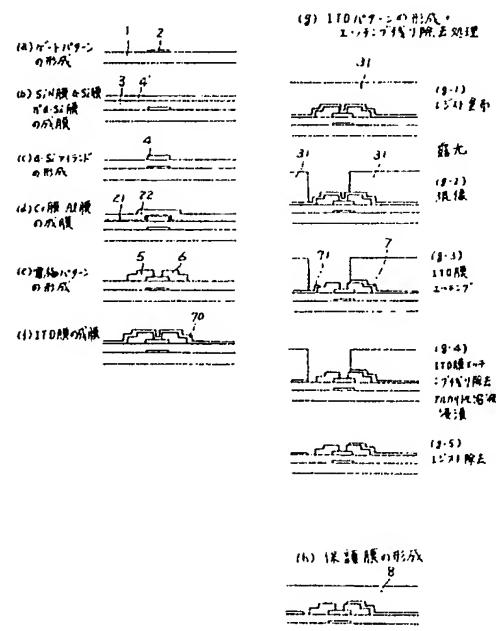
のエッティング残りを除去することができるので、アクティブマトリクス基板の製造歩留りを高めることができる。

#### 4. 図面の簡単な説明

第1図は、本発明によるアクティブマトリクス基板の一実施例の製造工程の説明図、第2図及び第3図は、従来のアクティブマトリクス基板の一部分を示す平面及び断面図、第4図は、従来のアクティブマトリクス基板の製造工程の説明図である。

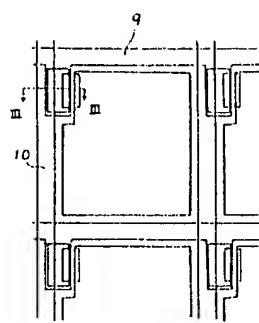
1…絶縁性基板、2…ゲート電極、3…ゲート絶縁膜、4…半導体膜、5…ドレイン電極、6…ソース電極、7…画素電極、8…保護膜、9…走査線、10…信号線、21…Cr膜、22…AL膜、31…レジスト、70…ITO膜、71…エッティング残りしたITO膜。

第1図

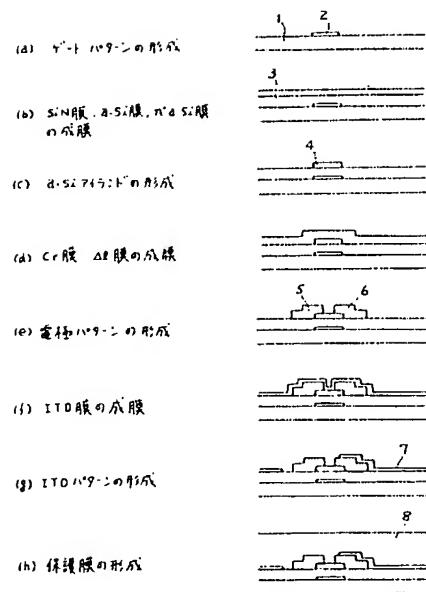


代理人 幸理士 小川勝男

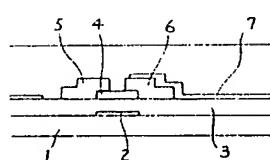
第 2 図



第 4 図



第 3 図



第 1 頁の続き

⑤Int. Cl. 5

識別記号

府内整理番号

H 01 L 21/3205  
27/12  
29/40

A 7514-4M  
A 7738-4M

⑥発明者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内